

**ПРОДУКТИ ОТ ФИРМИТЕ INTEL И XILINX ИЗПОЛЗВАНИ В
ПРОЦЕСА НА ОБУЧЕНИЕ НА СТУДЕНТИТЕ****INTEL AND XILINX TOOLS USED IN THE STUDENT'S EDUCATION
PROCESS****Atanas Nikolov Kostadinov***Technical University – Sofia, Plovdiv branch***Abstract**

Intel (formerly Altera) and Xilinx are the major producers of reconfigurable integrated circuits of type FPGA (Field-programmable gate array) and CPLD (Complex programmable logic device). Both firms support the higher education sector with their university programs especially Intel FPGA University Program and Xilinx University Program. Technical University – Sofia, Plovdiv branch has received donations from above-mentioned programs in a form of design software and CPLD/FPGA boards. These tools are used in Reconfigurable Logic and VLSI (Very large scale of integration) design courses, which are part of our curriculum.

Keywords: FPGA, CPLD, Intel FPGA University Program, Xilinx University Program, donations, curriculum.

ВЪВЕДЕНИЕ

Програмируемите интегрални схеми от тип FPGA (Field-programmable gate array) и CPLD (Complex programmable logic device) се използват често както в процеса на производство на компютърни устройства и системи [1, 2], така и в процеса на обучение [3, 4]. Фирмите Intel (бивша Altera) [5] и Xilinx [6] са най-големите производителки в областта на програмируемите интегрални схеми. И двете фирми имат свои програми [7, 8], чрез които подпомагат дейността на университетите от цял свят в процеса на обучението на студенти.

Технически Университет – София, филиал Пловдив е получавал дарения и по двете университетски програми. Тези дарения са както под формата на програмни пакети за проектиране и тестване на цифрови устройства и системи, чрез използване на FPGA и CPLD, така и на апаратни модули съдържащи гореизброените интегрални схеми. В този доклад ще бъде представено развитието на учебните дисциплини („Системи с програмируема логика (СПЛ)“ и „Проектиране на свръхголеми интегрални схеми (ПСГИС)“) използващи програми-

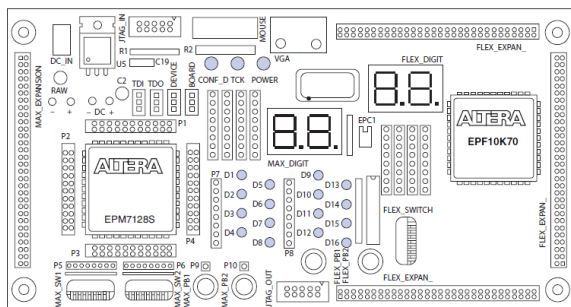
руеми интегрални схеми в Технически Университет – София, филиал Пловдив и свързаното с това приложение на получените дарения от двете фирми – Intel и Xilinx..

**ПЪРВОНАЧАЛНО ПОЛУЧЕНИ
ПРОДУКТИ**

В самото начало, авторът на доклада получи магистърска степен по проектиране на вградени микропроцесорни системи в Института за авангардно обучение и научни изследвания (ALaRI – Advanced Learning and Research Institute) в град Лугано, Конфедерация Швейцария [9]. Там под формата на две учебни дисциплини бяха представени основни неща свързани с програмируемите интегрални схеми и езика за описание на апаратната част VHDL (Very high speed integrated circuit description language).

След завръщането ми в България, представих наученото пред студентите от Технически Колеж „Джон Атанасов“. След това бях поканен да преподавам и в Технически Университет – София, филиал Пловдив. Усилията бяха насочени към две неща – подобряване на материално-техническата база и подготвяне на ръководство за лаборатор-

ни упражнения по дисциплината „ПСГИС”. След успешно кандидатстване в университетската програма на фирмата Altera (сега Intel) бяха получени лицензирани програмни пакети (Quartus II и ModelSim) за обучение на студентите, както и модул (UP2 – University program 2) съдържащ програмируеми интегрални схеми от тип CPLD. Външният вид на модула UP2 е показан на Фиг. 1 [10].

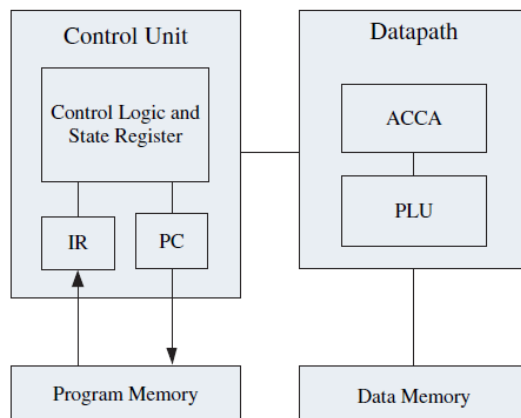


Фиг. 1. Външен вид на модула UP2

За съжаление UP2 не беше достатъчен за обучението на студентите. Освен това начинът му на свързване с персоналния компютър предполагаше трудности при работата с него, тъй като кабелът беше с малка дължина. Усилията бяха насочени към увеличаване на броя на апаратните модули. Същевременно беше завършено и ръководство за лабораторни упражнения по учебната дисциплина „ПСГИС” [11].

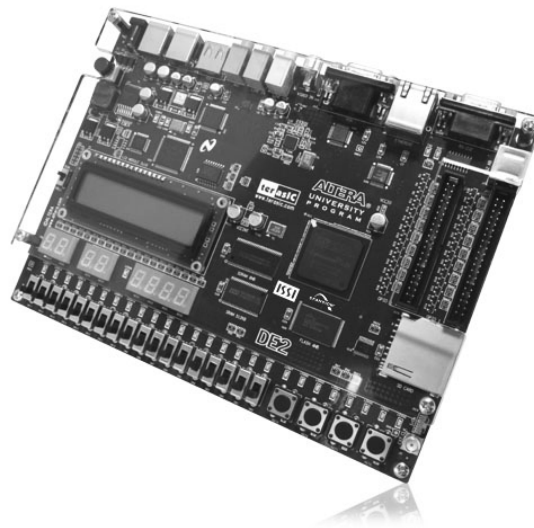
Във връзка с научните изследвания (първа следдокторска специализация в Кралство Норвегия) беше кандидатствано отново в университетската програма на фирмата Altera (сега Intel). Беше получен модул от тип DE2 (Development and education 2). Този модул, беше използван както в научно-изследователския процес, така и в процеса на обучение на студентите след завръщането ми в България. С негова помощ по време на специализацията беше реализиран микропроцесор с инструкции свързани с предикатната логика (Predicate logic processor – PLP). Опростената блокова схема на PLP е представена на Фиг. 2 [12], където са използвани следните съкращения и термини – Control unit (Управляващо устройство), Datapath (Изпълнително устройство), Control logic and State register (Управляваща логика и регистър на състоя-

нието), IR (Instruction register, регистър на инструкцията), PC (Program counter, програмен брояч), ACCA (Accumulator A, акумулатор А), PLU (Predicate logic unit, логическо устройство извършващо операции свързани с предикатната логика), Program Memory (Памет за инструкции), Data memory (Памет за данни).



Фиг. 2. Опростена блокова схема на микропроцесора PLP

Външният вид на модула DE2 е показан на Фиг. 3 [13].



Фиг. 3. Външен вид на модула DE2

Подобни на този модул (Cyclone II FPGA Starter Development Kit) бяха закупени с помощта на средства отпуснати от Технически Университет – София. Други два модула от същия вид бяха закупени със средства

на една от фирмите, с които нашата Катедра „Компютърни системи и технологии” е в сътрудничество. С това, в основни линии, необходимите апаратни и програмни ресурси за провеждане на лабораторните упражнения по двете учебни дисциплини („Системи с програмируема логика (СПЛ)” и „Проектиране на свръхголеми интегрални схеми (ПСГИС)”) бяха осигурени. Що се отнася до темите на лекциите и лабораторните упражнения по тези две дисциплини те са представени в друга публикация [14].

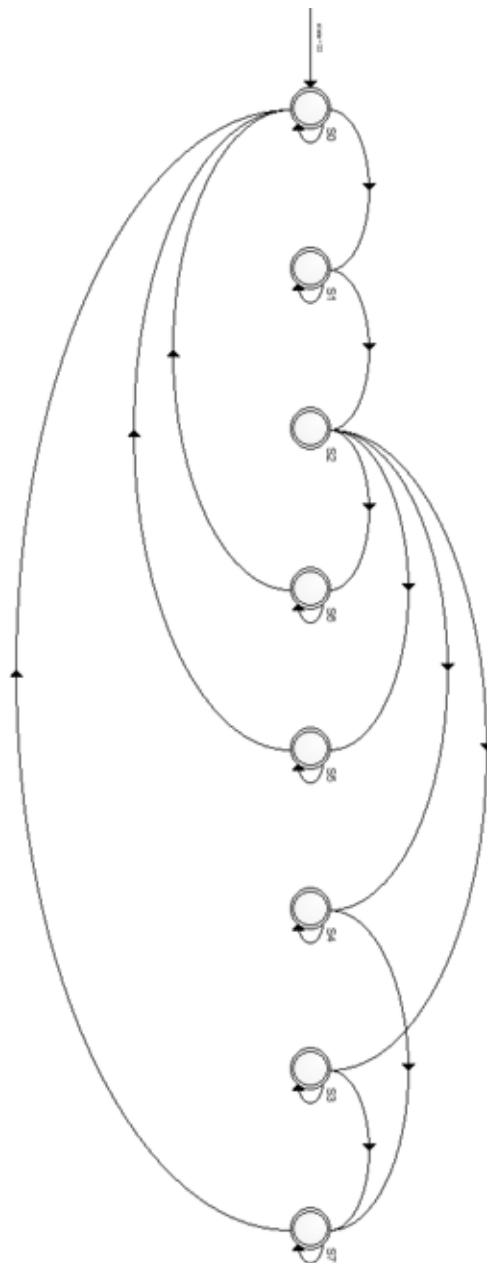
По-долу в доклада са дадени примери за използването на продуктите от фирмите INTEL И XILINX в процеса на обучение на студентите. На Фиг. 4 е показано едно схемно решение на зададен курсов проект по „ПСГИС”, което изисква описание с VHDL и тестване на свързаните 35 битов D тригер, кодов преобразувател (Selector) и 4 битов D тригер. Така създадената схема изпълнява определени задачи, съобразно проектното задание.



Фиг. 4. Схемно решение на курсов проект по „ПСГИС”

На Фиг. 5 е показана една диаграма на краен автомат използван в дипломен проект, реализиращ аритметична цифрова система изградена на базата на програмируема

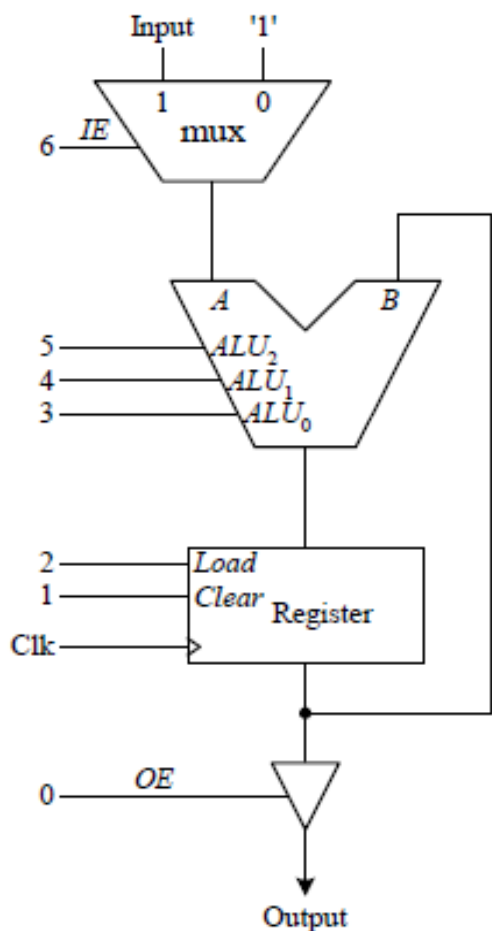
интегрална схема. Крайният автомат бе проверен и коригиран с помощта на вграден логически анализатор от тип SignalTap II [15].



Фиг. 5. Диаграма на краен автомат, използван при реализирането на дипломен проект

На Фиг. 6 е показано едно примерно изпълнително устройство (Datapath) на микропроцесор [16], което студентите реализират и тестват по време на лабораторните упражнения по „ПСГИС”. То се състои от мултиплексор (mux), аритметично –логическо устройство (АЛУ, ALU), регистър и буфер с „трето състояние”. Това изпълнител-

но устройство извърша операциите логическо „И“, логическо „ИЛИ“, логическо „НЕ“, аритметично събиране и изваждане, аритметично събиране и изваждане с числото 1 и зареждане на регистъра с определен операнд.

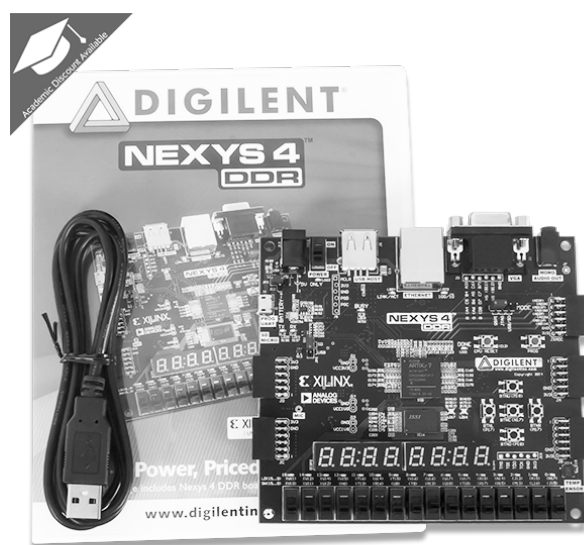


Фиг. 6. Изпълнително устройство на микропроцесор

Схемата показана на Фиг. 6 се състои от няколко компонента и се реализира на базата на т.нар. структурен подход (структурен стил), като се използва VHDL. Подобна схема (състояща се само от два компонента) е една от задачите в тестовия вариант, който се дава при изпита на студентите по дисциплината „ПСГИС“. Целта е студентите да опишат тази схема с VHDL. При другата дисциплина „СПЛ“ е обратно – дава им се описание на VHDL, от което те трябва да начертаят описаната схема и да обяснят начина ѝ на работа.

ДОПЪЛНИТЕЛНО ПОЛУЧЕНИ ПРОДУКТИ

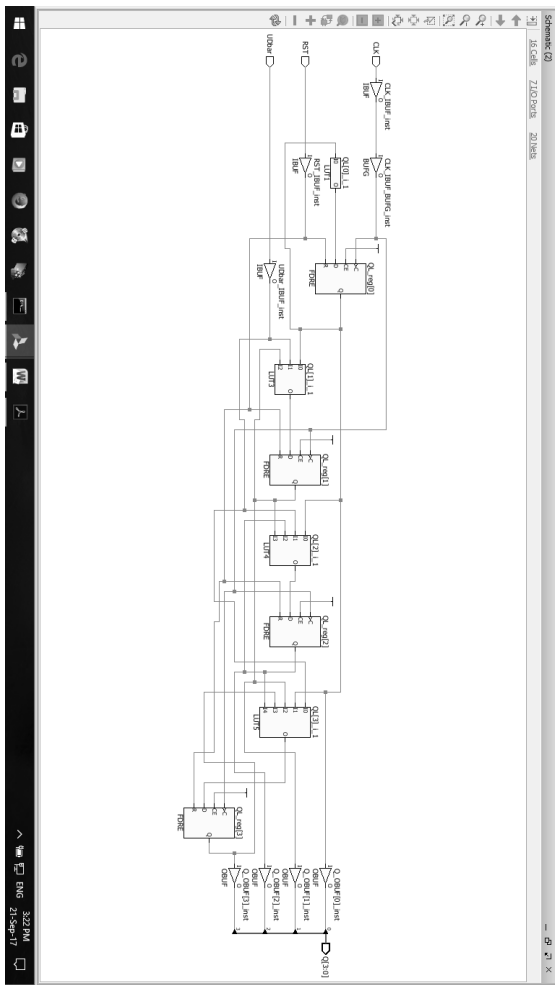
След като бяха получени апаратни и програмни продукти от фирмата Intel (бивша Altera) беше решено да се кандидатства в университетската програма на другата водеща фирма производител – Xilinx. В резултат от успешното кандидатстване бяха получени 25 лиценза (разрешения) за работа с програмния пакет Vivado Design Suite: System Edition, както и 5 броя апаратни модули, съдържащи програмируема интегрална схема, от тип Nexys4 DDR. Външен вид на Nexys4 DDR е показан на Фиг. 7.



Фиг. 7. Външен вид на Nexys4 DDR

Начинът на работа и възможностите на полученото дарение, вече се представят на студентите в часовете за лекции и лабораторни упражнения по дисциплините „СПЛ“ и „ПСГИС“. За в бъдеще последното дарение ще се приложи както в учебната, така също и в научно-изследователската дейност.

На Фиг. 8 е представена синтезираната схема на реверсивен двоичен брояч, като са използвани дарените програмни и апаратни продукти от фирмата Xilinx. Този брояч съдържа управляващ вход с име UDbag. В зависимост от подадената логическа стойност на UDbag, броячът работи или в режим на събиране или в режим на изваждане.



Фиг. 8. Синтезирана схема на реверсивен двоичен брояч

ЗАКЛЮЧЕНИЕ

В доклада са представени как са използвани в обучението на студентите, а така също и в научно-изследователската дейност, апаратните и програмните продукти на двете водещи фирми в областта на програмируемите интегрални схеми - Intel (бивша Altera)] и Xilinx.

След усвояването и по-широкото използване на последното дарение, може да се помисли за кандидатстване отново в някоя от университетските програми с оглед да се получи апаратен модул съдържащ специализирана периферия и FPGA от по-ново поколение.

БЛАГОДАРНОСТИ

Бих желал да благодаря на проф. д-р инж. Гриша Спасов за получената подкрепа и съдействие при успешното кандидатстване в университетската програма на фирмата Xilinx.

Бих желал да благодаря и на проф. д.н. Геннад Кузаев за получените покани за двете следдокторски специализации в Кралство Норвегия и за ползотворното му ръководство по време на провеждането им.

REFERENCE

- [1] Umuroglu Y. et al, FINN: A Framework for Fast, Scalable Binarized Neural Network Inference, Proc. of the 2017 ACM/SIGDA International Symposium on Field-Programmable Gate Arrays, USA, pp. 65 – 74.
- [2] Amiri M. et al, FPGA-Based Soft-Core Processors for Image Processing Applications, Journal of Signal Processing Systems, Vol. 87, Issue 1, 2017, pp. 139 – 156.
- [3] Petrescu I., Păvăloiu I., Drăgoi G., Digital Logic Introduction Using FPGAs, Procedia - Social and Behavioral Sciences, Vol. 180, 2015, pp. 1507 – 1513.
- [4] Watson G., McKeown N., Casado M., NetFPGA: A Tool for Network Research and Education, 2nd Workshop on Architecture Research using FPGA Platforms, USA, 2006, pp. 1 – 4.
- [5] <https://www.intel.com/content/www/us/en/fpga/devices.html>.
- [6] <http://www.xilinx.com/>
- [7] <https://www.altera.com/support/training/university/overview.html>
- [8] <https://www.xilinx.com/support/university.html>
- [9] <http://www.alari.ch/>
- [10] University program UP2 education kit user guide, Altera Corporation, 2004 v.3.1.
- [11] Kostadinov A., Manova D., VLSI design laboratory exercises guide, Technical University – Sofia, Plovdiv branch, Bulgaria, 2005.
- [12] Kouzaev G., Kostadinov A., Predicate gates, components and a processor for spatial logic, JCSC (Journal of Circuits, Systems, and Computers), Vol. 19, No. 7, 2010, pp. 1517-1541.
- [13] <http://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=39&No=30>
- [14] Kostadinov, A., Field-Programmable-Logic device education, Annual Journal of Electronics, vol. 7, 2013, pp. 46-49.
- [15] https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/signal.pdf
- [16] Hwang E., Digital Logic and Microprocessor Design with VHDL, Thomson publisher, 2006.